

# 【FPGA 设计与实现】

## 【FPGA Design and implementation】

### 一、基本信息

课程代码：【2080200】

课程学分：【3】

面向专业：【微电子科学与工程】

课程性质：【专业必修课】

开课院系：机电学院电子工程系

使用教材：主教材【数字系统设计与 Verilog HDL，王金明编，电子工业出版社 第四版】

辅助教材【Verilog 数字系统设计教程，夏宇闻编，北京航空航天大学出版社】

参考教材【Verilog HDL 与数字系统设计简明教程，吴弋编，人民邮电出版社】

先修课程：【数字逻辑电路】

### 二、课程简介

本课程是微电子学、电子科学与技术专业的一门实践性很强的专业技术必修课，通过本课程的学习，使学生初步掌握基于硬件描述语言 Verilog HDL 进行数字电路系统设计的方法，熟练应用 EDA 工具平台 QuartusII 对可编程芯片 FPGA 进行设计、仿真和调试，为集成数字电路的开发、设计与调试打下坚实的基础。

本课程的主要任务是使学生获得 Altera 公司提供的 QuartusII 开发软件的使用能力，以及在该软件中应用电路原理图与 Verilog HDL 硬件描述语言进行数字电路设计的能力。其课程的知识结构和目标使学生了解现代数字系统设计的特点及可编程逻辑器件的基本知识；掌握 QuartusII 软件的使用方法；掌握数字系统 Verilog HDL 行为建模和结构建模方法以及掌握 Verilog HDL 语言中可综合语句的描述方法等，为今后进一步从事 FPGA 方法的研究与工作打下基础。

### 三、选课建议

本课程面向微电子学、电子科学与技术专业的二年级本科生授课。

### 四、课程与培养学生能力的关联性

自主学习	表达沟通	专业能力					尽责抗压	协同创新	服务关爱	信息应用	国际视野
		设计计算能力	工程制图能力	逻辑分析能力	计算机应用能力	工艺制程、封装 / 测试能力					

●	●	●	●	●	●		●			●	
---	---	---	---	---	---	--	---	--	--	---	--

## 五、课程学习目标

通过本课程的学习，要求学生获得数字电路的 EDA 设计方法，具体要达到的知识目标和能力目标是：

- 1、了解现代数字系统设计的特点与可编程逻辑器件 FPGA 的基本知识；
- 2、掌握 QuartusII 开发平台，使学生具备一定的软件操作能力；
- 3、掌握 Verilog HDL 程序的基本结构与建模方式、描述方法，并熟悉典型数字电路的编程实例，使学生具有一定的硬件编程能力。

## 六、课程内容

### 第1章：EDA 技术概述

- 1) 掌握 FPGA 设计的流程；
- 2) 了解常用的 EDA 工具

### 第2章：FPGA/CPLD 器件

- 1) 了解 PLD 器件的基本原理
- 2) 了解 CPLD/FPGA 的原理与结构
- 3) 了解 FPGA/CPLD 的编程与配置方式

### 第3章：Quartus II 集成开发工具

- 1) 掌握 Quartus II 开发工具的设计流程
- 2) 掌握 Quartus II 原理图设计方式

### 第4章：Verilog 设计初步

- 1) 掌握模块的基本结构
- 2) 对组合逻辑电路和时序逻辑电路的 Verilog 设计方式与实现有个整体的了解

### 第5章：Verilog 语法与要素

- 1) 了解 Verilog 语言的要素，理解标识符与关键字等概念。
- 2) 掌握整形常量的书写方法
- 3) 掌握 wire 变量、reg 变量的声明、赋值的方法
- 4) 掌握表达式中的各类运算符

### 第6章：Verilog 行为语句

- 1) 掌握 always 过程语句的赋值方式（阻塞赋值和非阻塞赋值），清楚敏感电平的书写方式
- 2) 掌握语句块（begin-end）、条件判断语句（if-else, case）、循环语句（for、while 等）

语句

- 3) 理解任务（task）和函数（function）
- 4) 了解编译指令（include, define 等）

### 第7章：Verilog 设计的层次与风格

- 1) 掌握结构描述方式（调用内置元件、模块实例化）
- 2) 掌握行为描述方式（always）
- 3) 掌握数据流描述方式（assign）
- 4) 了解一些常用组合逻辑电路和时序逻辑电路的描述方法

### 第8章：Verilog 有限状态机设计

- 1) 掌握有限状态机的描述方式
- 2) 了解 Moore 状态机的建模实例

- 3) 了解 Mealy 状态机的建模实例

#### 第9章：Verilog 设计进阶

- 1) 了解常用中规模设计模块的建模实例

#### 第10章：Verilog 设计优化

- 1) 掌握可综合设计的概念
- 2) 了解流水线、资源共享、功耗等优化措施
- 3) 理解 FPGA 设计中毛刺的消除

#### 第11章：Verilog 仿真与验证

- 1) 了解系统任务和系统函数的调用
- 2) 了解用户自定义元件 UDP
- 3) 理解 Modelsim 工具的仿真流程

#### 课程重点：

Verilog HDL 程序的基本结构，行为建模、数据流建模以及结构建模方法，常用组合逻辑和时序逻辑电路的设计实例。

#### 课程难点：

过程赋值中阻塞赋值与非阻塞赋值的区别；结构建模中 UDP 的编写、基元的调用以及模块实例化；测试程序中各种激励的书写方式。

## 七、评价方式与成绩

总评构成 (1+X)	(1)	(X1、X2、X3……)
评价方式	期末考试（闭卷、全部内容、120 分钟）	X1：平时作业和课堂表现（占 10%） X2：课内实验（占 20%） X3：上机考核（占 10%）
1 与 X 两项所占比例%	60%	40%

撰写：陈虹

系主任：喻玲